

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-332297

(43)Date of publication of application : 19.11.1992

(51)Int.Cl.

H04Q 11/04
H04Q 3/52
H04Q 3/545
H04Q 11/04

(21)Application number : 03-102302

(71)Applicant : NEC CORP

(22)Date of filing : 08.05.1991

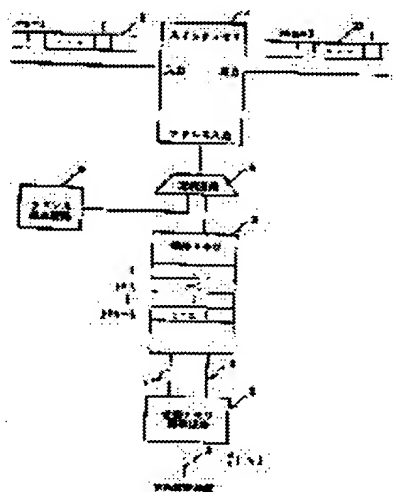
(72)Inventor : YAGI HISAO

(54) SWITCH CONTROL SYSTEM FOR TIME-DIVISION SWITCHBOARD

(57)Abstract:

PURPOSE: To extremely shorten a time required for a switching connection by attaining the switching connection of a multi-dimensional traffic by one command from a central control unit, and preventing the increase of the load of the central control unit even when the multi-dimension degree (n) of the multi-traffic is increased.

CONSTITUTION: The leading time slot number (i), and multi-dimensional degree (n) of a multi-traffic (nB channel) to operated for the switching connection, and a prescribe leading time slot number (j) at an output side, are designated, by a software writing data line 8, from the central control unit to a time switch. A holding memory control circuit 3 receives each information, and writes the data from the data (i) to (i+n-1) in the (n) number of continuous addresses from the address (j) to (j+n-1), by using a holding memory address line 7 and a holding memory data input line 6. In the same way also for a spatial division switch, the holding memory control circuit 3 expands the information from the central control unit to the connection information of the (n) number of continuous time slots, and writes it in the holding memory.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-332297

(43) 公開日 平成4年(1992)11月19日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F 1	技術表示箇所
H 0 4 Q 11/04				
3/52	1 0 1 Z	9076-5K		
3/545		8843-5K		
11/04	3 0 1 B	8843-5K		
		8843-5K		
			H 0 4 Q 11/04	F
			審査請求 未請求	請求項の数 1 (全 4 頁)

(21) 出願番号 特願平3-102302
(22) 出願日 平成3年(1991)5月8日

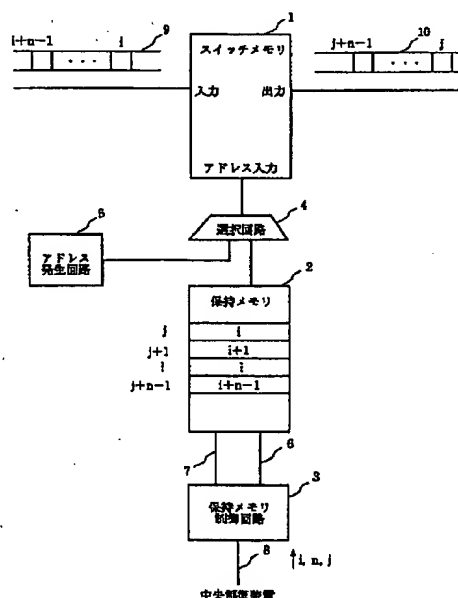
(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72) 発明者 八木 久雄
東京都港区芝五丁目7番1号日本電気株式
会社内
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 時分割交換機のスイッチ制御方式

(57) 【要約】

【構成】中央制御装置から時間スイッチに対し、ソフトウェア書き込みデータ線8により、交換接続すべき多元トラヒック (n Bチャネル) の先頭タイムスロット番号1と多元度n及び出側の所望の先頭タイムスロット番号jが指定される。保持メモリ制御回路3は、この各情報を受信すると、保持メモリ2のアドレスjから (j+n-1) の連続したn個のアドレスに、データiから (i+n-1) を保持メモリアドレス線7及び保持メモリデータ入力線6を使用し書き込む。同様に空間分割スイッチに対しても、保持メモリ内にn個の連続したタイムスロットの接続情報に展開して書き込む。

【効果】多元トラヒックを中央制御装置からの1つの指令により交換接続することができ、多元トラヒックの多元度nが増大しても中央制御装置の負荷が増大せず、交換接続に要する時間を著しく短縮する。



1

【特許請求の範囲】

【請求項1】 時分割交換機のスイッチを構成し中央制御装置により制御される時分割スイッチと空間分割スイッチとにおいて、前記時分割スイッチは、スイッチメモリと、このスイッチメモリを制御する第1の保持メモリと、この第1の保持メモリのアドレスと書き込みデータを制御する第1の保持メモリ制御回路とを備え、前記空間分割スイッチは、ゲートスイッチと、このゲートスイッチを制御する第2の保持メモリと、この第2の保持メモリのアドレスと書き込みデータを制御する第2の保持メモリ制御回路とを備え、時分割交換を行なう最小単位のチャンネルをBチャンネルと呼び、時分割交換機内を通る連続した n ($n \geq 2$) 個のBチャンネルを n Bチャンネルと呼ぶとき、前記時分割スイッチの前記第1の保持メモリ制御回路内には、前記中央制御装置から指定される時分割スイッチの入側の前記 n Bチャンネルの先頭タイムスロット番号と前記 n の値と出側のタイムスロットの先頭タイムスロット番号との各情報に基づき、前記第1の保持メモリ内に n 個の連続したタイムスロットの接続情報に展開して書き込む手段を有し、前記空間分割スイッチの前記第2の保持メモリ制御回路内には、前記中央制御装置から指定される空間分割スイッチの入側の前記 n Bチャンネルの先頭タイムスロット番号と前記 n の値と接続されるべき空間分割スイッチの時分割ハイウェイ番号との各情報に基づき、前記第2の保持メモリ内に n 個の連続したタイムスロットの接続情報に展開して書き込む手段を有することを特徴とする時分割交換機のスイッチ制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は時分割交換機のスイッチ制御方式に関し、特に多元トラヒックを処理する場合の保持メモリの制御方式に関する。

【0002】

【従来の技術】 従来の時分割交換機のスイッチ制御方式を時分割スイッチを例にとり説明する。時分割交換を行なう最小単位のチャンネルをBチャンネルと呼び、時分割交換機内を通る多元トラヒックである連続した n ($n \geq 2$) 個のチャンネルを n Bチャンネルとする。また、時分割スイッチの入側での n Bチャンネルの先頭タイムスロットを i とし交換接続された出側での先頭タイムスロットを j とする。ここでは交換接続後も n Bチャンネルは連続した n 個のタイムスロット上にあるものとする。

【0003】 従来の時分割スイッチでは n Bチャンネルを交換接続するためには、中央制御装置より、入側のタイムスロット i と出側のタイムスロット j 、入側のタイムスロット $(i+1)$ と出側のタイムスロット $(j+1)$ 、...というように n タイムスロット分の交換接続情報を受信する必要があり、これを保持メモリ内の n 個の連続したタイムスロットの接続情報として書き込みを行

(2)

特開平4-332297

2

なっていた。

【0004】

【発明が解決しようとする課題】 この従来の時分割交換機のスイッチ制御方式では、多元トラヒックを扱う場合に、多元度 n に応じた個数の交換接続情報を中央制御装置から時分割スイッチ、空間分割スイッチの保持メモリに対し指令を出す必要があり、多元度 n の増大により中央制御装置の負荷が増大し、また、交換接続に要する時間が著しく増大するという問題点があった。

【0005】

【課題を解決するための手段】 本発明の時分割交換機のスイッチ制御方式は、時分割交換機のスイッチを構成し中央制御装置により制御される時分割スイッチと空間分割スイッチとにおいて、前記時分割スイッチは、スイッチメモリと、このスイッチメモリを制御する第1の保持メモリと、この第1の保持メモリのアドレスと書き込みデータを制御する第1の保持メモリ制御回路とを備え、前記空間分割スイッチは、ゲートスイッチと、このゲートスイッチを制御する第2の保持メモリと、この第2の保持メモリのアドレスと書き込みデータを制御する第2の保持メモリ制御回路とを備え、時分割交換を行なう最小単位のチャンネルをBチャンネルと呼び、時分割交換機内を通る連続した n ($n \geq 2$) 個のBチャンネルを n Bチャンネルと呼ぶとき、前記時分割スイッチの前記第1の保持メモリ制御回路内には、前記中央制御装置から指定される時分割スイッチの入側の前記 n Bチャンネルの先頭タイムスロット番号と前記 n の値と出側のタイムスロットの先頭タイムスロット番号との各情報に基づき、前記第1の保持メモリ内に n 個の連続したタイムスロットの接続情報に展開して書き込む手段を有し、前記空間分割スイッチの前記第2の保持メモリ制御回路内には、前記中央制御装置から指定される空間分割スイッチの入側の前記 n Bチャンネルの先頭タイムスロット番号と前記 n の値と接続されるべき空間分割スイッチの時分割ハイウェイ番号との各情報に基づき、前記第2の保持メモリ内に n 個の連続したタイムスロットの接続情報に展開して書き込む手段を有している。

【0006】

【実施例】 次に本発明について図面を参照して説明する。

【0007】 図1は本発明の一実施例を示すブロック図であり、時分割交換機の時分割スイッチ部分を特にとりあげ示すものである。時分割スイッチはスイッチメモリ1、保持メモリ2、保持メモリ制御回路3を含み構成されている。スイッチメモリ1の入力側のスイッチメモリデータ9は、タイムスロット i からタイムスロット $(i+n-1)$ を占有する n 元の多元トラヒックを含んでいる。この多元トラヒックをスイッチメモリ出力データ10上のタイムスロット j からタイムスロット $(j+n-1)$ に変換する場合を例とし、次に説明する。

3

【0008】スイッチメモリ1は、シーケンシャル書き込み、ランダム読み出し制御されるメモリである。スイッチメモリ1のアドレス入力に接続される選択回路4は、アドレス発生回路5からのシーケンシャルアドレスと保持メモリ2からのランダムアドレスとの選択回路である。ここで入側タイムスロットiを出側タイムスロットjに交換接続するためには、保持メモリのアドレスjにデータiが書き込まれる必要がある。本実施例では、中央制御装置からソフトウェア書き込みデータ線8により、交換接続すべき多元トラヒック(nBチャンネル)の先頭タイムスロット番号1と多元度n及び出側の所望の先頭タイムスロット番号jが指定される。保持メモリ制御回路3は、この各情報を受信すると、保持メモリ2のアドレスjから(j+n-1)の連続したn個のアドレスに、データiから(i+n-1)を保持メモリアドレス線7及び保持メモリデータ入力線6を使用し書き込む。これにより、スイッチメモリ1は、入側タイムスロットiから(i+n-1)上のn個のデータを出側タイムスロットjから(j+n-1)に交換接続できる。

【0009】また、空間分割スイッチの場合も上記と同様に、中央制御装置からの空間分割スイッチの入側のnBチャンネルの先頭タイムスロット番号、nの値、及び接続されるべき空間分割スイッチの出側の時分割ハイウェイ番号の指定を受けた保持メモリ制御回路が、保持メモリ内にn個の連続したタイムスロットの接続情報に展開して書き込む。これによりゲートスイッチが制御され時分割ハイウェイの交換接続ができる。

【0010】

【発明の効果】以上説明したように本発明の時分割交換機のスイッチ制御方式は、時分割交換機の時分割スイッチと空間分割スイッチの各第1及び第2の保持メモリのアドレスと書き込みデータを制御する第1及び第2の保持メモリ制御回路をそれぞれ設け、時分割スイッチの第

4

1の保持メモリ制御回路内には、中央制御装置から指定される時分割スイッチの入側の多元トラヒックであるnBチャンネルの先頭タイムスロット番号、多元度nの値、出側のタイムスロットの先頭タイムスロット番号の各情報により、第1の保持メモリ内にn個の連続したタイムスロットの接続情報に展開して書き込む手段を有し、空間分割スイッチの第2の保持メモリ制御回路内には、中央制御装置から指定される空間分割スイッチの入側のnBチャンネルの先頭タイムスロット番号、nの値、接続されるべき空間分割スイッチの時分割ハイウェイ番号の各情報より、第2の保持メモリ内にn個の連続したタイムスロットの接続情報に展開して書き込む手段を有している。多元トラヒックを中央制御装置からの1つの指令により交換接続することができ、多元トラヒックの多元度nが増大しても中央制御装置の負荷が交換接続に伴ない増大しないという効果が有ると共に、多元トラヒックの交換接続に要する時間を著しく短縮するという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図であり、時分割スイッチ部分を示す。

【符号の説明】

- 1 スwitchメモリ
- 2 保持メモリ
- 3 保持メモリ制御回路
- 4 アドレス選択回路
- 5 アドレス発生回路
- 6 保持メモリデータ入力線
- 7 保持メモリアドレス線
- 8 ソフトウェア書き込みデータ線
- 9 スwitchメモリ入力データ
- 10 スwitchメモリ出力データ

(4)

特開平4-332297

【図1】

